

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-072583

(43)Date of publication of application : 06.03.1992

(51)Int.Cl.

G01R 31/28

G06F 11/22

(21)Application number : 02-234956

(71)Applicant : RICOH CO LTD

(22)Date of filing : 04.09.1990

(72)Inventor : KADOWAKI YUKIO

(30)Priority

Priority number : 02124658 Priority date : 15.05.1990 Priority country : JP

(54) TEST SCAN CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To ensure latching by transferring data held by a master side latch to a slave side latch by means of raising of a data transfer clock at the time when there is no effect of clock skew.

CONSTITUTION: One scan register comprises the respective clocks of normal scan and data transfer and a plurality of circuits each of which outputs scan data and the like in response to a scan disabling signal or a clock selecting signal. Plural stages of scan registers comprise a scan data output terminal 32 connected to the scan data input terminal of the multiplexer of the scan register of the next stage. Data held by a master side latch at time B is transferred to a slave side latch at time C by raising the data transfer clock to 1 at the time C when there is no effect of clock skew. A master side gate 5 is turned off at the time B and scan data transferred by the multiplexer 4 is made to flow to the slave side, preventing destruction of test vector. Generation of shift fault due to clock skew can thus be avoided irrespective of how the circuit of the scan register is arranged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-72583

⑬ Int. Cl.⁵

識別記号 ・ 庁内整理番号

⑭ 公開 平成4年(1992)3月6日

G 01 R 31/28

G 06 F 11/22

3 6 0 P

9072-5B

6912-2C

G 01 R 31/28

G

審査請求 未請求 請求項の数 3 (全14頁)

⑮ 発明の名称 テスト用スキャン回路装置

⑯ 特 願 平2-234956

⑰ 出 願 平2(1990)9月4日

優先権主張 ⑱ 平2(1990)5月15日 ⑲ 日本(JP) ⑳ 特願 平2-124658

㉑ 発 明 者 門 脇 幸 男 東京都大田区中馬込1丁目3番6号 株式会社リコー内

㉒ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号

㉓ 代 理 人 弁理士 青 山 葆 外1名

明 細 書

1. 発明の名称

テスト用スキャン回路装置

2. 特許請求の範囲

(1) 通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段の出力信号が供給されるマスタ側のラッチ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラッチ回路へ送出する第2の選択手段と、

上記第2の選択手段が送出する第1のクロック信号と転送用クロック信号との論理和にて第2のクロック信号を発生する第2クロック信号発生部と、

マスタ側ラッチ回路の出力信号が供給され、上記第2のクロック信号にて動作するスレーブ側ラッチ回路と、を備えたことを特徴とするテスト用スキャン回路装置。

(2) 上記マスタ側ラッチ回路は、上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定され、上記スレーブ側ラッチ回路はテスト制御信号によって非同期セット又はリセットの有効、無効が決定される、請求項1記載のテスト用スキャン回路装置。

(3) 通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定されるマスタ側ラッチ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラッチ回路へ送出する第2の選択手段と、

Dラッチ回路にて構成され転送用クロックにて動作するスレーブ側ラッチ回路と、を備えたことを特徴とするテスト用スキャン回路装置。

3. 発明の詳細な説明

特開平4-72583 (2)

【産業上の利用分野】

本発明は、大規模集積回路(LSI)のテストを行うスキャン回路装置に関する。

【従来の技術】

LSIのプロセス上の欠陥を発見しLSIの良否を判断するために、LSI内に構成されている内部レジスタにテスト用のスキャンデータを供給可能としたテスト用スキャン回路装置は、従来第1図に示すように、フリップフロップ回路におけるデータ入力部分とクロック信号入力部分とにマルチプレクサを設け、通常動作時は通常時のクロック信号と通常時の入力データを選択し、スキャン時にはスキャンクロック信号とスキャンデータとを選択する。これらの選択はテストコントロール信号にて行なわれる。又、フリップフロップ回路に非同期的セット又はリセット又はその両方が設けられている場合には、セット又はリセット信号入力端子の前段にゲートを設け、テストコントロール信号によって通常状態ではセットやリセット信号が有効になり、スキャン時やテスト時にはセッ

トやリセット信号が無効になるようにしている。

又、ラッチセルに関しては、通常動作時使用するラッチをマスター側として、スキャン用にスレーブラッチを追加したものを使用し、一つのフリップフロップ回路のスキャンデータ出力Sideが他のスキャン回路のスキャンデータ入力Sideに接続され、テスト時には一つのシフトレジスタとして動作させていた。

さらに第9図を参照し詳細に説明する。マルチプレクサ400には、通常動作時におけるクロック信号であるノーマルクロック信号と、テスト時におけるスキャンクロック信号とが供給され、通常動作時とテスト時とを切り替えるテスト制御信号が供給されることでマルチプレクサ400は上記のいずれかのクロック信号を選択しこれを送出する。

このようなマルチプレクサ400の出力例は、インバータ2に接続され、選択されたクロック信号のレベルが反転した反転クロック信号(図内では示す)がインバータ2より送出され、又、

インバータ2の出力側はインバータ3に接続され選択されたクロック信号(図内では示す)がインバータ3より送出される。

一方、マルチプレクサ401には、通常動作時における入力データであるノーマルデータと、テスト時における入力データであるスキャンデータとが供給され、通常動作時とテスト時とを切り替えるテスト制御信号が供給されることでマルチプレクサ401は上記のいずれかのデータを選択しこれを送出する。このようなマルチプレクサ401の出力例は、ローアクティブなトランスミッションゲート5に接続され、トランスミッションゲート5の出力側はハイアクティブなトランスミッションゲート6及びインバータ10に接続される。インバータ10の出力側は次段のハイアクティブなトランスミッションゲート7に接続される。一方、トランスミッションゲート6の出力側はインバータ11、インバータ10を介してトランスミッションゲート6の入力側に接続される。尚、上記のトランスミッションゲート5、6、インバータ10、

11にてラッチ回路を構成しており、トランスミッションゲート5のディスエイブル端子及びトランスミッションゲート6のイネイブル端子には、上述した選択されたクロック信号が供給され、トランスミッションゲート5のイネイブル端子及びトランスミッションゲート6のディスエイブル端子には、上述した選択されたクロック信号が反転された反転クロック信号が供給される。よって、上記クロック信号が0のときにはトランスミッションゲート5がオン状態、トランスミッションゲート6がオフ状態となりマルチプレクサ401が送出するデータをインバータ10を介してトランスミッションゲート7に送出する。一方、上記クロック信号が1のときには、トランスミッションゲート5がオフ状態、トランスミッションゲート6がオン状態となり、上記クロック信号が1に変化する直前にトランスミッションゲート5より送出されていたデータがトランスミッションゲート6、インバータ10、11にて構成される回路部分にて保持される。

特開平4-72583 (3)

トランスミッションゲート7の出力側は、ノーマルデータなトランスミッションゲート9に接続されるとともにインバータ18を介して通常動作時において出力データが送出されるデータ出力端子31に接続され、又、インバータ13及び15を介して通常動作時において反転された出力データが送出される反転データ出力端子30に接続される。又、インバータ13の出力側は、テスト動作時における出力データを送出するテスト時データ出力端子32に接続される。

トランスミッションゲート9の出力側はインバータ14、13を介してトランスミッションゲート9の入力側に接続される。又、トランスミッションゲート7のイネイブル端子及びトランスミッションゲート9のディスエイブル端子には上述したノーマルクロック信号あるいはスキャンクロック信号が供給され、トランスミッションゲート7は上記のいずれかのクロック信号が1の場合にオン状態、上記信号が0の場合にオフ状態となり、トランスミッションゲート9は上記のいずれかのクロック

ク信号が0の場合にオン状態、上記信号が1の場合にオフ状態となる。

よって、マルチプレクサ40より送出されるノーマルデータあるいはスキャンデータは、上記クロック信号が0のとき場合にトランスミッションゲート5を通過し、次に上記クロック信号が1の状態に変化したとき保持されているデータがトランスミッションゲート7を通過しインバータ16を介してデータ出力端子31へ送出され、インバータ13を介してテスト時データ出力端子32へ送出され、インバータ13、15を介して反転データ出力端子30へ送出される。そして次に上記クロック信号が0の状態にあるときには各出力端子31ないし32は現データを出力し続ける。

以上説明した回路構成にて一つのスキャンレジスタを構成しており、上述したようにこのようなスキャンレジスタのテスト時データ出力端子32が次段のスキャンレジスタのスキャンデータ入力に接続されることで、複数段のスキャンレジスタが構成され従来のテスト用スキャン回路装置を原

成する。このようなテストスキャン回路装置におけるテスト時の動作を以下に説明する。

テスト動作を行わせるためにテスト制御信号の信号レベルを1にすることによって、マルチプレクサ400はノーマルクロック信号の供給を遮断しスキャンクロック信号を通過させ、マルチプレクサ401はノーマルデータ入力を遮断しスキャンデータを通過させる。したがってマルチプレクサ401を介して供給されるスキャンデータは、マルチプレクサ400を介して供給されるスキャンクロック信号に同期して順次シフトされる。そして第1の図a,cに示すように、時刻1におけるスキャンクロック信号の立上りにてスキャンデータがすべてのスキャンレジスタにラッチされたとする。この時点よりテスト用スキャン回路装置より送出される信号がスキャンにより外部より与えられたデータとなるのでテストが開始される。このテスト結果をテスト用スキャン回路装置にラッチするために、第1の図bに示すように時刻12から13の間、テスト制御信号の信号レベルを0

としノーマルデータがスキャンレジスタに供給されるようにする。そしてテスト結果データがテスト用スキャン回路に入力された後、第1の図b,cに示すように時刻13にてテスト制御信号の信号レベルを1にするとともに同時にスキャンクロック信号を1に立上げこのテスト結果データをラッチする。この後、供給されるスキャンクロック信号に同期してテスト結果データはシフトされ順次外部へ送出される。尚、このとき次の新たなスキャンデータがスキャンクロック信号に同期して外部より供給される。以上の動作を繰り返しテストを進めていく。

[発明が解決しようとする課題]

上述のように、スキャンデータをスキャンする場合には従来のスキャンクロック信号のみで行う。このようなシフト動作を行う場合には、各テスト用スキャン回路に供給されるスキャンクロック信号においてクロックスキューと呼ばれる位相のずれの時間差を小さくしなければならない。上記時間差が大きい場合には、スキャンデータをスキヤ

特開平4-72583 (4)

ンさせていくとき、スキャンデータが増減される可能性があるという問題点がある。例えば、第1図に示すようにスキャンレジスタ200のテスト時データ出力端子200aが他のスキャンレジスタ201のスキャンデータ入力に接続されているが、ゲートアレイなどにて自動配線配線を行った場合など、短絡的に両レジスタ200、201が大きく離れる場合がある。このような場合に、スキャンレジスタ200、201の各スキャンクロック信号入力端子へ供給されるスキャンクロック信号において第12図に示すA点、B点におけるように位相がずれ、上述したクロックスキューが発生する場合がある。

テスト時にスキャン動作を行うときにスキャンクロック信号の立上りにて前段のスキャンレジスタが送出するスキャンデータをラッチすることによってシフト動作を行うが、上述したようなクロックスキューが発生することにより前段のスキャンレジスタに供給されるスキャンクロック信号の方が後段のスキャンレジスタに供給されるスキャン

クロック信号よりも早く立上ると、前段のスキャンレジスタのスキャンデータをラッチする前に前段のスキャンレジスタが送出するスキャンデータが変化してしまうことになり、正常なシフト動作ができなくなるという問題点が生じる。

又、従来のスキャン回路では、上述したようにセットやリセット端子付きの回路についてはテスト制御信号を使用して通常動作時はセットやリセットを有効にし、スキャン及びテスト時はセット及びリセットを無効にしていた。即ち、スキャン及びテスト時はレジスタに入力されるセット信号やリセット信号はレジスタに入力される前に強制的に逆断されていることになる。そのため、スキャン及びテスト時にはセット信号やリセット信号の故障による誤動作はテストできないという問題点があった。言い換えると、セット信号やリセット信号の可検知性は0であった。よってこれらの信号に関するテストは通常状態で行う必要があった。

本発明はこのような問題点を解決するためになされたもので、前段のスキャンレジスタが送出す

るスキャンデータを後段のスキャンレジスタが確実にラッチでき、又、セット又はリセット信号もスキャン方法によりテストすることができるテスト用スキャン回路装置を提供することを目的とする。

【課題を解決するための手段とその作用】

本発明は、通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段の出力信号が供給されるマスタ側のラッチ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラッチ回路へ送出する第2の選択手段と、

上記第2の選択手段が送出する第1のクロック信号と転送用クロック信号との論理積にて第2のクロック信号を発生する第2クロック信号発生部と、

マスタ側ラッチ回路の出力信号が供給され、上記第2のクロック信号にて動作するスレーブ側ラ

ッチ回路と、を備えたことを特徴とする。

このように構成することで、第2クロック信号発生部は、第1のクロック信号と転送用クロック信号との論理積にて第2のクロック信号を発生するので、クロックスキューが大きくても誤動作しないようにデータの取り込みができるように作用する。

又、非同期にセット又はリセットが行える上記マスタ側ラッチ回路及びスレーブ側ラッチ回路は、スキャン時には両ラッチ回路がセット又はリセットを無効とでき、テスト時にはマスタ側がセット又はリセットを有効とできるように作用する。

さらに本発明は、通常データ信号とスキャンデータ信号とのいずれかを第1の制御信号にて選択する第1の選択手段と、

上記第1の選択手段にて選択されるデータによって通常動作時に非同期にセット又はリセットの有効、無効が決定されるマスタ側ラッチ回路と、

ノーマルクロックとスキャンクロックとのいずれかを第2の制御信号にて選択し上記マスタ側ラ

特開平4-72583 (5)

チ回路へ送出する第2の選択手段と、

Dラッチ回路にて構成され駆動用クロックにて動作するスレープ側ラッチ回路と、を備えたことを特徴とする。

このように構成することで、スレープ側ラッチ回路は、ラッチセルに対してもスキャン方法でテストできるように作用する。

【実施例】

本発明のテスト用スキャン回路装置の一実施例を示す系1図a, b, cにおいて、第9図に示される構成部分と同じ構成部分については同じ符号を付し、その説明を省略する。

通常動作時におけるクロック信号であるノーマルクロック信号と、テスト時におけるクロック信号であるスキャンクロック信号とが供給され、通常動作時とテスト時とを切り替えるクロック選択信号が供給されることでマルチプレクサ1は、上記のいずれかのクロック信号を選択しこれを送出する。例えばクロック選択信号の信号レベルが0のときマルチプレクサ1はノーマルクロック信号

を選択しこれを送出し、上記信号レベルが1のときマルチプレクサ1はスキャンクロック信号を選択しこれを送出する。

このようなマルチプレクサ1の出力側は、第1図aに示すように、インバータ2を介して反転クロック信号出力に接続され、インバータ2の出力側はインバータ3を介してクロック信号出力に接続される。このようにインバータ2及び3にて内部クロック信号であるクロック信号(図内ではαにて示す)及び反転クロック信号(図内ではβにて示す)を生成している。

通常動作時における入力データであるノーマルデータと、テスト時における入力データであるスキャンデータとが供給され、通常動作時とテスト時とを切り替えるスキャンイネイブル信号が供給されることでマルチプレクサ4は上記のいずれかのデータを選択しこれを送出する。例えば、スキャンイネイブル信号の信号レベルが0のときマルチプレクサ4はノーマルデータを選択しこれを送出し、上記信号レベルが1のときマルチプレクサ4

はスキャンデータを選択しこれを送出する。

第1図bに示すマルチプレクサ4の出力側は、第9図に示す従来のテスト用スキャン回路装置と同様にトランスミッシンゲート5, 6並びにインバータ10, 11にて構成されるマスター側のラッチ回路に接続され、又、インバータ10の出力側はトランスミッシンゲート7に接続される。

トランスミッシンゲート7の出力側は、詳細を述べるデータ転送用クロック信号の信号レベルが1のときにオン状態、上記信号レベルが0のときにオフ状態となるハイアクティブなトランスミッシンゲート8に接続され、トランスミッシンゲート8の出力側は従来例と同様にインバータ13及び16並びにトランスミッシンゲート9に接続されるとともに、上記データ転送用クロック信号の信号レベルが0のときにオン状態、上記信号レベルが1のときにオフ状態となるローアクティブなトランスミッシンゲート12に接続される。

トランスミッシンゲート9の出力側は、従来例と同様にインバータ14に接続され、又、トラ

ンスミッシンゲート12の出力側に接続される。

テスト時に151の外部に接けられるテスト用のクロック発生装置より送出されるデータ転送用クロック信号が供給されるインバータ17は、第1図cに示すように、データ転送用反転クロック信号出力に接続され、さらにインバータ17の出力側はインバータ18を介してデータ転送用クロック信号出力に接続される。このようなデータ転送用クロック信号(図内ではαにて示す)は、上述したトランスミッシンゲート8のイネイブル端子及びトランスミッシンゲート12のディスエイブル端子に供給され、データ転送用反転クロック信号(図内ではβにて示す)は、上述したトランスミッシンゲート8のディスエイブル端子及びトランスミッシンゲート12のイネイブル端子に供給される。尚、トランスミッシンゲート7, 8, 9, 12, 及びインバータ13ないし16にてスレープ側のラッチ回路を構成している。

このような構成にて一つのスキャンレジスタを構成し、スキャンデータ出力端子32が次のス

特開平4-72583 (6)

キャンレジスタのマルチプレクサ4'のスクランデータ入力に接続されることで複数段のスクランレジスタを構成し、これらにてテスト用スクラン回路装置を形成する。

尚、スレーブ側のラッチ回路がクロック ϕ と α との論理積で作成されることより、第1図に示す回路は第2図a, bに示す回路と論理的に同じ動作をする。第2図bではトランシジョンゲート7 0, 7 1とインバータ7 2, 7 3, 7 4, 7 5でスレーブ側ラッチが構成されている。尚、第2図a, bにおいて第1図に示す構成部分と同じものについては同じ符号を付している。スレーブ側クロック(ϕ)は、第2図bに示すようにノーマルクロック(CK)とスクランクロックをマルチプレクスするマルチプレクサ1の出力信号と転送用クロック(TCK)が供給されるNAND回路5 0の出力信号をインバータ5 1を通して β を作っている。スレーブ側ラッチの実現方法はこれ以外にも種々考えられるが、これらの機能はすべて同じになる。このように構成されるテスト用スクラン回路装

置における動作を以下に説明する。

第3図は通常動作時のタイミングチャートである。通常動作時はテストイネーブル(TB)信号とスクランイネーブル(SE)信号と転送用クロック(TCK)信号がすべて「1」になっている。そのため、ノーマルクロック(CK)がマルチプレクサ1によって選ばれ、内部マスタクロック ϕ を作る。第1図に示す構成を有する実施例では、内部スレーブクロック α は「1」に固定されるのでスレーブ側ラッチ回路の動作は ϕ によって支配され、第2図に示す構成の実施例では内部スレーブクロック α は ϕ と同じになる。また、通常動作時にはスクランイネーブル(SE)信号が「1」になることによってノーマルデータ(D)がマルチプレクサ4によって選ばれマスタ側ラッチに入力される。このようにして通常動作時はノーマルクロック(CK)によってノーマルデータ(D)がラッチされる。

一方、テスト時における動作を行うために、第4図a及びbに示すように時刻Aにおいて信号レベルが0であるクロック選択信号がマルチプレクサ

1に供給され、又、同時刻Aにおいて信号レベルが0であるスクランイネーブル信号がマルチプレクサ4に供給される。よってマルチプレクサ1はスクランクロック信号を選択し、マルチプレクサ4はスクランデータを選択する。そして選択したスクランクロック信号及びスクランデータとらに0にする。この状態ではスクランクロック信号が0であることよりトランシジョンゲート5がオン状態であるので、マルチプレクサ4が選出する0のスクランデータはトランシジョンゲート5を介してインバータ1 0に供給されている。インバータ1 0は、供給された0のスクランデータを反転し1のスクランデータとしこのスクランデータをトランシジョンゲート7へ選出する。しかし現時点ではスクランクロック信号の信号レベルが0であるのでトランシジョンゲート7はオフ状態となっている。

ここで、第4図cに示すように時刻Bにて、スクランクロック信号の信号レベルを1に立ち上げる。よってこのときトランシジョンゲート5

及び9はオフ状態に変化し、トランシジョンゲート6及び7はオン状態に変化する。しかしトランシジョンゲート7の出力側に接続されているトランシジョンゲート8はまだオフ状態であるため、インバータ1 0とスレーブ側のインバータ1 3とはまだ遮断されたままである。このように、時刻Bにてマスタ側ラッチ回路にテストデータがホールドされる。

そしてスクランクロック信号の上述したクロックスキューを考慮し、十分時間が経過した第4図dに示す時刻Cにて、上述したテスト用のクロック発生回路にてデータ転送用クロック信号の信号レベルを1に立ち上げる。よって時刻Cにてトランシジョンゲート8がオン状態となり、トランシジョンゲート1 2がオフ状態となるので、インバータ1 0が選出する1のスクランデータはインバータ1 3及び1 6へ供給され、信号レベルが反転されてデータ出力端子3 1及びスクランデータ出力端子3 2より0のスクランデータが選出される。又、インバータ1 3の出力信号はインバ

特開平4-72583 (7)

ータ15を介することで信号レベルが反転され1のスカンデータが反転データ出力端子30より送出される。このように、時刻Cにてマスター側ラッチ回路のテストデータをスレーブ側ラッチ回路に送出する。尚、上述した時刻Bにてスカンクロック信号の信号レベルが1となることでマスター側のトランスマッションゲート5はこの時点でオフ状態となるので、マルチプレクサイが送出するスカンデータがスレーブ側に流れ、格納されているスカンデータであるテストベクトルを破壊するという問題はなくなる。

次に第4図dに示す時刻Dにてデータ転送用クロック信号の信号レベルを0に立ち下げ、トランスマッションゲート8をオフ状態に、トランスマッションゲート12をオン状態とし、スカンデータをスレーブ側ラッチ回路にラッチしホールドする。時刻Dの後、第4図eに示すように時刻Eにてスカンクロック信号の信号レベルを0に立ち下げ、トランスマッションゲート5をオン状態に、トランスマッションゲート6及び7をオフ状態と

し、次のスカンデータをマスター側ラッチ回路に供給する。

以上の動作を繰り返しスカンデータをスカンさせながらすべてのスカンレジスタにスカンデータをセットする。

そして第5図fの時刻Sに示すスレーブ側クロックの立ち上りにて、すべてのスカンレジスタのスレーブ側にテストデータが入力されるとする。これによってスレーブ側ラッチ出力からテストされる回路内にテストデータが送出されテストが開始される。テストデータがスレーブ側ラッチに入力された後、スレーブ側クロックの立ち下りでテストデータがラッチされる。この後、第5図hの時刻Bに示すように、スカンイネーブル(SE)信号レベルを1に立ち上げることによってマルチプレクサイは、ノーマルデータ(D)を選択してマスター側ラッチに供給する。この時点ではマスター側ラッチのクロックφの信号レベルは1でホールドされているので、トランスマッションゲート5がオフ状態であり、ノーマルデータ(D)として供給

される回路のテスト結果はマスター側ラッチには供給されない。ここで、第5図cの時刻Cに示すように、マスター側クロック(φ)の信号レベルを立ち下げることによってノーマルデータ入力からテスト結果がマスター側ラッチに供給される。ここで、第5図gの時刻Dに示すようにテストイネーブル(TE)信号レベルを1にする。これによってマルチプレクサイはノーマルクロック(CK)を選択し、マスター側クロックφはノーマルクロックで作られるようになる。このとき、このスカンレジスタの通常動作時のクロックが非同期の場合、テスト結果によってノーマルクロック(CK)信号レベルが1であったり0であったりする。非同期のスカンレジスタでテスト結果がCK信号レベル=“0”の場合、TE信号レベルが“1”となってもマスター側クロック(φ)信号レベルは“0”のままであり、第5図cの時刻Eに示すようにSCK信号レベルは“1”となり、第5図gに示すようにTE信号レベルが“0”となると、第5図eの時刻Fに示すようにマスター側クロック(φ)が立ち上り、

ノーマルデータ(D)から入力されているテスト結果がマスター側ラッチにホールドされる。その後転送用クロック(TCK)信号レベルを1にすることによって第5図fの時刻Hに示すようにスレーブ側クロック(φ又はβ)を立ち上げ、テスト結果をスレーブ側ラッチ回路に供給する。これによって先にスレーブ側に供給されていたテストデータが破壊されてマスター側に供給されるテスト結果が変化するが、マスター側クロック(φ)信号レベルは“1”になっていてホールド状態にあるのでマスター側ラッチ回路にホールドされている先のテスト結果は影響を受けない。

非同期のスカンレジスタでテスト結果がCK信号レベル=“1”の場合、第6図gの時刻Dに示すようにTE信号レベルが“1”となると、第6図eの時刻Iに示すようにマスター側クロック(φ)は1になる。φ信号レベルが“1”になると第6図cに示す時刻EにてSCK信号レベルが“1”となった後、TE信号レベルが“0”となるが、このときφ信号レベルは第6図eに示すように“

特開平4-72583 (8)

1"のままである。つまり非同期のスキャンレジスタへテスト結果をホールドするタイミングは、テスト時の非同期スキャンレジスタのノーマルクロック入力に依存する。つまり、非同期スキャンレジスタにおけるノーマルクロック入力にテスト結果に影響を与えるのでノーマルクロック入力の故障を外部から観察することができ、故障検出率が向上する。尚、第6図に示す時刻AないしI、及び時刻Sは、第5図に示すこれらの時刻と同一である。

次に非同期のセット又はリセットのスキャンレジスタについて説明する。第7図a、b、cにおいて第1図に記載の構成部分と同じ構成部分については同じ符号を付し、その説明を省略する。スキャンイネーブル(SE)信号は、マルチプレクサ4に供給されるとともに、リセット(R)信号が供給されるAND回路20に供給される。AND回路20の出力信号は、インバータ10の出力信号が供給されるNOR回路21に送出され、NOR回路21の出力信号はトランシジョンゲ

ート6に送出される。又、上記R信号と、テスト(XT)信号とが供給されるAND回路22の出力信号は、トランシジョンゲート8の出力信号が供給されるNOR回路23に送出され、NOR回路23の出力信号はインバータ14及び15に送出される。

このようなスキャンレジスタは、マスク側ラッチとスレーブ側ラッチが両方非同期にリセットでき、マスク側ラッチのリセットはスキャンイネーブル(SE)信号が"1"ならば有効でSE信号が"0"ならばリセットができない、いわゆる無効となるようになっており、スレーブ側ラッチのリセットはテスト端子(XT)が"1"ならば有効でXTが"0"ならば無効になる。

このスキャンレジスタの動作を説明する。第7図a、b、cのスキャンレジスタの動作は、第3図ないし第6図に示すタイミングチャートで説明できる。今回はこのスキャンレジスタが同期式であり、テスト時ノーマルクロック(CLK)が"0"に固定されている第5図のタイミングチャートを用

いて動作の説明を行う。

通常動作を行う時は、第3図に示すようにTE信号が"1"、SE信号が"1"、TCK信号が"1"、XT信号が"1"となっていてノーマルクロック(CLK)信号、ノーマルデータ(D)信号がマルチプレクサ1,4でそれぞれ選択されている。またSE信号が"1"なのでマスク側ラッチのリセット信号(R)が有効になり、かつXT信号が"1"なのでスレーブ側ラッチのリセット信号(R)も有効になっている。そのため通常のリセット付レジスタと同じ働きをする。

テストを行う時はXT信号を"0"とする。つまりスレーブ側ラッチのリセット信号(R)は常に無効となる。これはスキャン方式によってテストを行う際、非同期のリセット信号がスキャンレジスタに入力されてもスキャンによって伝搬させているテストデータが破壊されないようにするためである。テストデータをスキャンさせて各スキャンレジスタに伝搬させる時は第4図に示すようにTE信号を"0"、SE信号を"0"、XT信号を"

0"とする。SE信号が"0"なのでマスク側ラッチのリセット信号(R)は無効となっているのでスキャンを行っている最中にリセット信号が変化することによってマスク側ラッチのテストデータが破壊されることはない。XT信号が"0"なのでスレーブ側ラッチのリセット信号もマスク側と同様無効にされている。このようにしてテストデータをスキャンさせる時は非同期のリセットに無関係に行うことができる。

すべてのスキャンレジスタにテストデータがラッチされた時の説明を行う。第5図Iに示す時刻Sにてテストデータがスレーブ側ラッチに入力される。これによって回路内にテストデータが伝搬されテストデータが開始される。第5図Iに示す時刻Aでスレーブ側ラッチを閉じてテストデータをホールドした後、SE信号を"1"にする。よってマルチプレクサ4はノーマルデータ(D)を選択してテスト結果をマスク側ラッチに送る。同時に、SE信号が"1"になることによってマスク側ラッチのリセット信号(R)が有効になる。ここでテ

特開平4-72583 (9)

ト結果としてリセット(R)信号が“1”ならばマスタ側ラッチの内容はリセットされる。しかしすでにスレーブ側ラッチはホールド状態になっているのでマスタ側ラッチの内容が変化してもスレーブ側ラッチにあるテストデータに影響を与えない。もしテスト結果としてリセット信号が“0”ならば、第5図eに示すように時刻Cにてマスタ側クロックが立ち下がったとき、テスト結果がノーマルデータ入力(D)とマルチプレクサ4を通過してマスタ側ラッチに送出される。以上のように、テスト結果としてリセット信号が“1”ならばマスタ側ラッチは“0”になり、リセット信号が“0”ならばノーマルデータ入力(D)のテスト結果がマスタ側ラッチに送出される。この状態で第5図eに示す時刻Fにてマスタ側クロックを閉じてテスト結果をマスタ側ラッチにホールドする。この状態では非同期のリセット(R)信号が有効になっているのでマスタ側クロックを閉じた後、第5図hに示す時刻GにてS信号を“0”としてリセット信号を無効にする。この後、第5図iの時刻Hにて

スレーブ側ラッチを開いてマスタ側テスト結果をスレーブ側ラッチに送出する。後は第4図に示すタイミングで各レジスタにラッチされたテスト結果を順次シフトアウトして期待パターンと比較し、チップの良否判定を行う。同時に次のテストデータをスキャンインさせる。

以上のように、マスタ側ラッチのセット又はリセットは、スキャンイネーブルで有効と無効を切り替え、スレーブ側ラッチのセット又はリセットはテストイネーブル信号で有効と無効を切り替え可能とすることで、スキャン時はマスタ側とスレーブ側の両方のセット又はリセットを無効にし、テスト時にのみマスタ側のセット又はリセットを有効にすることによってセット又はリセット信号もスキャン方法によってテストすることができる。

最後に、ラッチに対するスキャン回路の説明を行う。スキャン法によってテストを行う場合、テストデータをシフト動作によって回路内を伝搬せねばならないので、内部のラッチをスキャンレジスタにする場合はマスタスレーブ型のフ

リップフロップにする必要がある。従来のスキャン用ラッチ回路は第14図に示す様に通常動作時使用するラッチをマスタ側とするとスキャン用にスレーブ側ラッチを付加した形になっている。この場合、スキャンデータをテスト時にホールドするのはマスタ側ラッチとなる。そのためテスト時は常にテストデータをホールドしておかなければならないが、テストが終わってテスト結果をスキャンラッチに取り込む際、マスタ側ラッチでは今までテスト用にホールドしていたテストデータが破壊され、テスト結果が供給される。その結果、今までテストデータを送出していたマスタ側ラッチはテスト結果を送出するようになる。つまりテスト結果をマスタ側ラッチに供給するとテストデータが変化し、それが回路を伝わりてテスト結果を変化させる場合が出てくる。最初にテスト結果をマスタ側ラッチに供給してから、変化したテストデータの影響がテスト結果に表れるまでにマスタ側ラッチのデータをホールドすれば問題ないが、タイミングをどうするかとか、クロックスキュー

の問題があるので都合よくテスト結果をホールドするのは困難である。

本実施例によるスキャン用ラッチを第6図a、b、cに示す。本実施例のラッチ回路は非同期のセットやリセット付のラッチも対象にできる。マスタ側ラッチ回路は、第7図a、b、cのリセット付スキャンレジスタと同じ構成である。つまり、スキャンイネーブル(SE)信号が“0”のときはマスタ側ラッチのリセット端子(R)は無効になり、SE信号が“1”のときはリセット(R)信号が“1”になるとマスタ側ラッチは非同期にリセットされ、リセット信号が“0”の時はマスタ側クロックによってノーマルデータ入力(D)を入力したりホールドしたりする。スレーブ側ラッチは単純なDラッチで構成されていて、第8図cに示すように、伝送用クロック(TCK)信号から作られる内部スレーブクロックαによって動作する。

このスキャンラッチ回路の動作を説明する。通常動作時はTCK信号が“1”に固定される。そのため、スレーブ側内部クロックαは“1”に固

特開平4-72583 (10)

定され、スレーブ側ラッチはトランスペアレントモードで固定される。つまり、スレーブ側ラッチはマスタ側ラッチのバッファとして働くだけになるので、通常動作時はマスタ側ラッチの動作をする。次に、第4図に示すようにテストデータをスキャンさせるとき、最初、スキャンクロック(SCK)信号と転送用クロック(TCK)は、両方共“0”で、スキャンデータ(SIN)がマスタ側ラッチに供給されている。この時点で第4図cの時刻BにてSCK信号を“1”に立ち上げ、スキャンデータをマスタ側ラッチにホールドさせる。その後、第4図dの時刻CにてTCK信号を“1”に立ち上げ、マスタ側にホールドされているスキャンデータをスレーブ側ラッチに入力し、第4図dの時刻DにてTCK信号を“0”に立ち下げてテストデータをスレーブ側ラッチにホールドする。このようにしてから第4図eの時刻Eに示すようにSCK信号を“0”に立ち下げ、次のスキャンデータをマスタ側ラッチに入力する。以後この動作を繰り返してすべてのテストデータを各スキャ

ンレジスタ及びスキャンラッチに入力する。このようにして第5図fの時刻Sにおいて、TCK信号が“1”になったとき、すべてのテストデータが各スキャンのスレーブ側ラッチに入力されたとき、テストが開始される。テストが終了するまでテストデータをホールドするため、第5図fの時刻Aに示すようにTCK信号を“0”とする。その後、第5図hの時刻Dに示すようにSE信号を“1”とし、テスト結果をノーマルデータ入力(D)からマスタ側ラッチへ入力するか、テスト結果によるセット又はリセットの値を有効にする。そして第5図eに示す時刻CにてSCK信号を“0”として、テスト結果をマスタ側ラッチに入力し、第5図gに示す時刻DにてTE信号を“1”とすることによって非同同期時のクロックを有効にする。こうして、すべてのテスト結果がマスタ側ラッチに入力された後、第5図cに示す時刻EにてSCK信号を“1”として、第5図gに示す時刻FにてTE信号を“1”とすることによって、マスタ側ラッチは非同同期時におけるクロックを無効

にし、テスト結果をホールドする。そして、第5図hに示す時刻GにてSE信号を“0”としてテスト結果によるセット又はリセットを無効にした後、第5図dに示す時刻HにてTCK信号を“1”としてテスト結果をスレーブ側ラッチに入力し、第5図dに示す時刻IにてTCK信号を“0”としてテスト結果をスレーブ側ラッチにホールドする。このようにして得られたテスト結果を第4図のタイミングでスキャンしながら外部出力端子から読み出していき良否の判定を行う。同時に次のテストデータを入力していく。

このように、スレーブ側ラッチのクロックを転送用クロックのみで作成することによって、スキャン用ラッチセルを形成しているの、ラッチセルに対してもスキャンレジスタと同じタイミングで非同期やセット又はリセット付きのラッチもスキャン方法でテストすることができる。

【発明の効果】

以上詳述したように本発明によれば、内部クロック信号のクロックスキューを考慮しクロックスキューの影響のない時刻にスキャンデータをシフトさ

せるデータ転送用クロック信号をラッチ部に供給するようにしたので、回路構成によりスキャンレジスタの配置がどのようなものになろうともクロックスキューによるシフト誤動作が発生することはなくなる。

マスタ側ラッチのセット又はリセットは、スキャンイネイブルで有効と無効を切り替え、スレーブ側ラッチのセット又はリセットはテストイネイブル信号で有効と無効を切り替え可能とすることで、スキャン時はマスタ側とスレーブ側の両方のセット又はリセットを無効にし、テスト時のみマスタ側のセット又はリセットを有効にすることによってセット又はリセット信号もスキャン方法によってテストすることができる。

又、スレーブ側ラッチのクロックを転送用クロックのみで作成することによって、スキャン用ラッチセルを形成しているの、ラッチセルに対してもスキャンレジスタと同じタイミングで非同期やセット又はリセット付きのラッチもスキャン方法

特開平4-72563 (11)

でテストすることができる。

4. 図面の簡単な説明

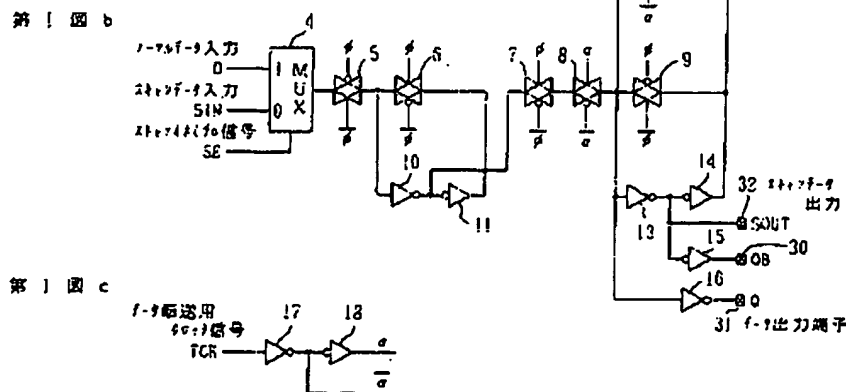
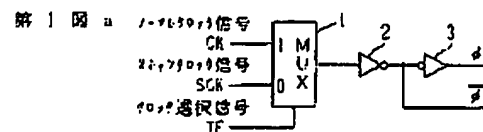
第1図a,b,cは本発明のテスト用スキャン回路装置の一実施例における回路図、第2図a,bは第1図に示す回路の他の実施例を示す回路図、第3図は第1図に示す回路の通常時の動作を示すタイムチャート、第4図は第1図a,b,cに示すテスト用スキャン回路装置の動作を示すタイムチャート、第5図は本発明の回路装置において非同期的スキャン回路でテスト結果のクロックが1である場合の動作を示すタイムチャート、第6図は本発明の回路装置において非同期的スキャン回路でテスト結果のクロックが1である場合の動作を示すタイムチャート、第7図a,b,cはリセット付スキャンレジスタ回路の一実施例を示す回路図、第8図a,b,cはリセット付スキャンラッチ回路の一実施例を示す回路図、第9図は従来のテスト用スキャン回路装置における回路図、第10図は第9図に示すテスト用スキャン回路装置の動作を示すタイムチャート、第11図はクロックスキュー

が発生する状態を示す概念図、第12図はクロックスキューを示す図、第13図は従来のスキャン回路を示す図、第14図a,bは従来のスキャン用ラッチ回路を示す図である。

！及び4…マルチプレクサ、

8及び12…トランスマッションゲート。

特許出願人 株式会社 リコー
代理人 弁理士 青山 繁 外1名



特開平4-72583 (12)

図2図a

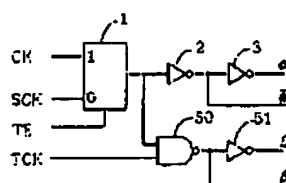


図2図b

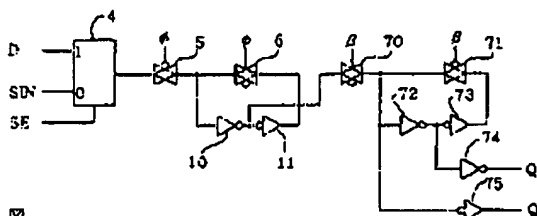


図3図

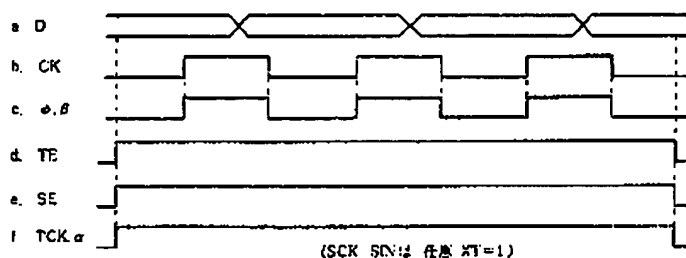


図4図

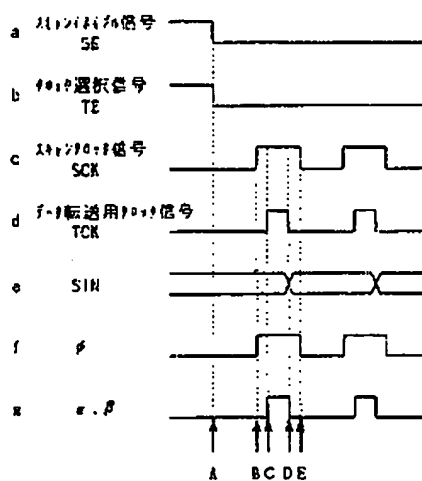


図5図

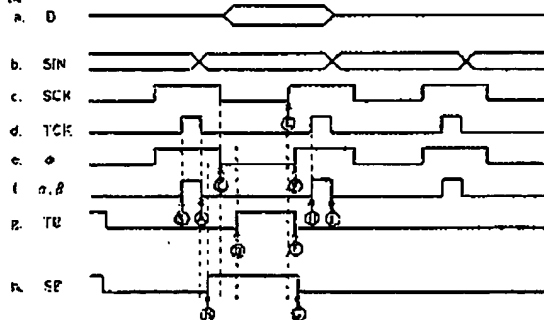


図6図

